

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-274282

(43)公開日 平成8年(1996)10月18日

(51)Int.Cl.
H 01 L 27/115
21/8247
29/788
29/792

識別記号 廈内整理番号

F 1
H 01 L 27/10
29/78

技術表示箇所

4 3 4
3 7 1

審査請求 未請求 請求項の数12 OL (全14頁)

(21)出願番号 特願平7-106679
(22)出願日 平成7年(1995)4月28日
(31)優先権主張番号 特願平7-15424
(32)優先日 平7(1995)2月1日
(33)優先権主張国 日本 (JP)

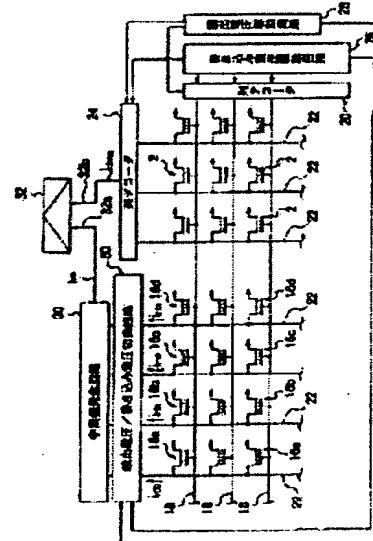
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 林 壇
東京都品川区北品川6丁目7番35号 ソニー
株式会社内
(72)発明者 山岸 万千雄
東京都品川区北品川6丁目7番35号 ソニー
株式会社内
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 不揮発性半導体メモリ装置

(57)【要約】

【目的】 ウィンドウの小さい不揮発性多値メモリの記憶保持特性、書き換え回数、および実質的収率を向上させることが可能な不揮発性半導体メモリ装置を実現する。

【構成】 多値を記憶可能な多値記憶セル2と、それぞれが多値記憶セル2の異なる記憶値を記憶可能な当該多値記憶セルの記憶多値数に応じた数のレファレンスセル16a, 16b, 16c, 16d, …と、多値記憶セル2のデータ読み出し時に、複数のレファレンスセル16a, 16b, 16c, 16d, …のうちの少なくとも2セルからの電流出力の中間値を発生させる中間値発生回路30と、中間値発生回路30の出力と多値記憶セル2の出力を比較することにより、当該多値記憶セル2に記憶されている値を判定する比較判定回路32とを設ける。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 少なくとも 3 値を記憶可能な多値記憶セルと、それそれが前記多値記憶セルの異なる記憶値を記憶可能な当該多値記憶セルの記憶多値数に応じた数のレファレンスセルと、前記多値記憶セルのデータ読み出し時に、前記複数のレファレンスセルのうちの少なくとも 2 セルからの電流出力の中間値またはその k 倍を発生させる中間値発生回路と、前記中間値発生回路の出力と前記多値記憶セルの出力またはその k 倍とを比較することにより、当該多値記憶セルに記憶されている値を判定する比較判定回路と、を有する不揮発性半導体メモリ装置。

【請求項 2】 前記複数のレファレンスセルは、所定数の多値記憶セル毎に設けられている請求項 1 に記載の不揮発性半導体メモリ装置。

【請求項 3】 前記複数のレファレンスセルへのレファレンスデータの書き込みは、所定数の多値記憶セルにデータが書き込まれるとほぼ同時に行われる請求項 1 または請求項 2 に記載の不揮発性半導体メモリ装置。

【請求項 4】 前記複数のレファレンスセルと多値記憶セルとは同一のワード線に接続されている請求項 1、2 または 3 に記載の不揮発性半導体メモリ装置。

【請求項 5】 前記多値記憶セルは、電荷の蓄積量の増減ないしは極性の反転が可能なトランジスタにより構成され、前記レファレンスセルは、前記多値記憶セルを構成するトランジスタの厚さ方向と略同一の厚さ方向の構造を有するトランジスタにより構成されている請求項 1、2、3 または 4 に記載の不揮発性半導体メモリ装置。

【請求項 6】 前記メモリセルを構成するトランジスタおよびレファレンスセルを構成するトランジスタは、電荷の蓄積が可能なフローティングゲートを有するトランジスタ、電荷トラップ機能を持つ絶縁膜を有するトランジスタ、強誘電体膜を有するトランジスタのうちのいずれかである請求項 5 に記載の不揮発性半導体メモリ装置。

【請求項 7】 前記中間値発生回路は、前記複数のレファレンスセルの出力線のうちの少なくとも 2 つを選択して出力線に流れる電流値を加算する加算回路と、前記加算回路の加算値の電流を受けて、加算される複数の電流値の中間値またはその k 倍の値の電流を発生するようによっチャネル幅をチャネル長で除した値相互の関係を、所定の比率としてあるトランジスタとにより構成されている請求項 1～6 のいずれかに記載の不揮発性半導体メモリ装置。

【請求項 8】 前記加算回路は、選択した少なくとも 2 つの電流値を単純加算する請求項 7 に記載の不揮発性半導体メモリ装置。

【請求項 9】 前記加算回路は、選択した少なくとも 2 つの電流値に対する重み付け加算を行う請求項 7 に記載

の不揮発性半導体メモリ装置。

【請求項 10】 前記中間値発生回路と前記比較判定回路とが一体となり、前記中間値発生回路の一部を構成するトランジスタが、前記比較判定回路を構成する差動アンプの一部のトランジスタを兼ねている請求項 5～9 のいずれかに記載の不揮発性半導体メモリ装置。

【請求項 11】 上記加算回路の出力電流を電圧に変換する第 1 の電流-電圧変換トランジスタと、前記第 1 の電流-電圧変換トランジスタの出力線が接続され、前記差動アンプの一部のトランジスタを構成する差動アンプ用第 1 トランジスタ、前記多値記憶セルの出力線の信号電流を電圧に変換する第 2 の電流-電圧変換トランジスタと、前記第 2 の電流-電圧変換トランジスタの出力線が接続され、前記差動アンプの一部のトランジスタを構成する差動アンプ用第 2 トランジスタと、を少なくとも有し、これら第 1 の電流-電圧変換トランジスタ、第 2 の電流-電圧変換トランジスタ、差動アンプ用第 1 トランジスタ、差動アンプ用第 2 トランジスタにおける各チャネル幅を各チャネル長で除した値相互の関係を、所定の比率としてある請求項 7、8、9、10 のいずれかに記載の不揮発性半導体メモリ装置。

【請求項 12】 前記第 1 の電流-電圧変換トランジスタと第 2 の電流-電圧変換トランジスタとの電圧変換動作を安定させると共に、前記差動アンプの初期状態を設定するためのトランジスタが付加してある請求項 11 に記載の不揮発性半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、書き換え可能な不揮発性半導体メモリ装置に係り、さらに詳しくは、特にウインドウの小さい不揮発性多値メモリの記憶保持特性、書き換え回数、および収容を実質的に向上させることができない不揮発性半導体メモリ装置に関する。

【0002】

【従来の技術】 不揮発性半導体メモリ装置では、選択されたメモリセルを構成するトランジスタのデータを読み取るために、差動アンプが用いられている。差動アンプでは、選択されたメモリセルからの電位信号データまたは電流信号データ（以下、総称して、「信号データ」とも称する）を、基準電位または基準電流（以下、総称して、「基準データ」とも称する）と比較し、信号データの 0、1 判定を行っている。たとえば、信号データが、基準データよりも小さい場合には、信号データを 0 データと判定し、その逆の場合には、1 データと判定する。

【0003】 基準データの作成方法の一例として、メモリセルと同じ回路構成のレファレンスセルを用いることがある。

【0004】

【発明が解決しようとする課題】ところが、従来の不揮発性半導体メモリ装置では、図11(A)に示すように、データ(読み出し時にオフ)が記憶してあるメモリセルのしきい値電圧 V_{th1} は、トランジスタの書き換え特性の劣化、記憶保持の劣化、製造ばらつきなどにより、時間の経過(グラフの横軸、 t_{data})と共に低下してしまう場合がある。この場合、データ読み出し時のゲート電圧 V_g よりも低下し、誤作動を生じるおそれがある。なお、図11(A)中において、 V_{th1} は、1データ(読み出し時にオン)が記憶してあるメモリセルのしきい値電圧変化を示す。

【0005】この状態を、メモリセルからの電流について観察すれば、図11(B)に示すようになる。データが記憶してあるメモリセルから読み出される電流 i_{r1} は、時間の経過と共に、増大する。なお、1データが記憶してあるメモリセルから読み出される電流 i_{r1} は、この例の場合には、時間の経過によらずほとんど一定である。メモリセルを構成するトランジスタが、フローティングゲートを有するトランジスタである場合に、1データが記憶してあるメモリセルのフローティングゲートには、電子が注入されない状態であるからである。

【0006】一方、基準データを作成するためのレンズセルとしては、従来では、読み出し時にオンとなる(1データが記憶してある)トランジスタを用い、読み出し時の基準電流 i_{rp} が、 i_{r1} の一定割合、たとえば約1/4程度になるように設定しているため、時間の経過と共に、たとえ i_{r1} が変化したとしても、基準電流 i_{rp} は i_{r1} の一定割合で変化するので、1データ検出時には、誤作動は回避される。一方、データが記憶してあるメモリセルから読み出される電流 i_{r0} が変化し出しきる時点で、基準電流 i_{rp} を追い越してしまうと、誤作動するおそれがある。

【0007】特に、近年、不揮発性半導体メモリ装置の多値化の動きが活発化してきているが、この多値記憶にあつては上述した問題はさらに深刻である。多値メモリセルとしては、2値の場合と同様に、たとえばフローティングゲートを有するトランジスタが用いられるが、この場合、しきい値電圧をさらに細かいレベルで制御する必要があるからである。

【0008】ここで、 $V(0, 0)$ 、 $V(0, 1)$ 、 $V(1, 0)$ 、 $V(1, 1)$ の4値を記憶可能なメモリセルの1例を用いて考察すると、レベル0～レベル3のしきい値電圧分布は、図12に示すように、レベル3(1, 1)が1.5V～3V、レベル2(1, 0)が3.7V～4V、レベル1(0, 1)が4.6V～4.9V、レベル0(0, 0)が5.6V～5.9Vである。そして、多値メモリセルに書き込んだ直後のしきい値電圧の分布は、図12に示すように急峻である。

【0009】この4レベルにわたってデータが記憶される多値メモリセルからのデータ読み出しは、従来、たと

えば読み出すセルのしきい値電圧とレベル1～レベル3とを比較することにより記憶値の判定を行う。すなわち電圧レベルでの比較によりデータの判定を行う。

【0010】ところが、製造した直後は急峻だったしきい値電圧分布も、書き込みを繰り返すうちにしきい値電圧のバラツキも大きくなり、しかも保持特性が劣化し、しきい値電圧にずれが生じることから、たとえば図13に示すように、一定読み出電圧 V_{r11} 、 V_{r10} 、 V_{r00} でセンスした場合、図中央印で示す時間より長い記憶時間で誤動作となる。

【0011】本発明は、かかる事情に鑑みてなされたものであり、その目的は、特にウインドウの小さい不揮発性多値メモリの記憶保持特性、書き換え回数、および収率を実質的に向上させることが可能な不揮発性半導体メモリ装置を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明に係る不揮発性半導体メモリ装置は、少なくとも3値を記憶可能な多値記憶セルと、それそれが前記多値記憶セルの異なる記憶値を記憶可能な当該多値記憶セルの記憶多値数に応じた数のレンズセルと、前記多値記憶セルのデータ読み出し時に、前記複数のレンズセルのうちの少なくとも2セルからの電流出力の中間値またはそのk倍を発生させる中間値発生回路と、前記中間値発生回路の出力と前記多値記憶セルの出力またはそのk倍とを比較することにより、当該多値記憶セルに記憶されている値を判定する比較判定回路とを有する。ここでkは正の数であり、中間値のk倍の出力は多値記憶セルの出力のk倍と比較するものとする。

【0013】前記複数のレンズセルは、所定数の多値記憶セル毎に設けられる。また、前記所定数のメモリセルと複数のレンズセルとは、同一のワード線により接続することにより、これらを同時に駆動(書き込み、ないし読み出し)することができる。ただし、ほぼ同時に駆動できれば、必ずしも同一のワード線で接続する必要はない。

【0014】前記メモリセルおよびレンズセルは、電荷の蓄積量の増減ないしは極性の反転などによりデータを保持する機能を有するトランジスタであれば、特に限定されることはなく、たとえば電荷の蓄積が可能なフローティングゲートを有するトランジスタ、電荷トランプ機能を持つ絶縁膜を有するトランジスタ、強誘電体膜を有するトランジスタなどで構成することができる。

【0015】本発明では、前記中間値発生回路は、前記複数のレンズセルの出力線のうちの少なくとも2つを選択して出力線に流れる各電流値を単純加算または重み付け加算(加重加算)する加算回路と、前記加算回路の加算値の電流を受けて、加算される複数の電流値の中間値またはそのk倍の値の電流を発生するようにチャ

ネル幅をチャネル長で除した値相互の関係を、所定の比率としてあるトランジスタにより構成されている。

【0016】また、本発明では、前記中間値発生回路と前記比較判定回路とが一体となり、前記中間値発生回路の一部を構成するトランジスタが、前記比較判定回路を構成する差動アンプの一部のトランジスタを兼ねているように構成することができる。この場合において、本発明では、前記加算回路の出力電流を電圧に変換する第1の電流-電圧変換トランジスタと、前記第1の電流-電圧変換トランジスタの出力線が接続され、前記差動アンプの一部のトランジスタを構成する差動アンプ用第1トランジスタと、前記多値記憶セルの出力線の信号電流を電圧に変換する第2の電流-電圧変換トランジスタと、前記第2の電流-電圧変換トランジスタの出力線が接続され、前記差動アンプの一部のトランジスタを構成する差動アンプ用第2トランジスタと、を少なくとも有し、これら第1の電流-電圧変換トランジスタ、第2の電流-電圧変換トランジスタ、差動アンプ用第1トランジスタ、差動アンプ用第2トランジスタにおける各チャネル幅を各チャネル長で除した値相互の関係を、所定の比率とすることにより、前記中間値またはそのk倍の値と多値記憶セルの信号電流またはそのk倍の値との比較判定を可能とする。

【0017】また、本発明では、前記第1の電流-電圧変換トランジスタと第2の電流-電圧変換トランジスタとの電圧変換動作を安定させると共に、前記差動アンプの初期状態を設定するためのトランジスタが付加してあることが好ましい。

【0018】

【作用】本発明に係る不揮発性半導体メモリ装置では、レフアレンスセルとして、複数配置され、これらのうち、多値記憶セルの記憶値に対応付けされたセルにその記憶値が記憶される。そして、選択された多値記憶セルの読み出し時には、基準データとして、複数のレフアレンスセルのうちの少なくとも2セルからの電流出力の中間値またはそのk倍が発生されて用いられる。このため、この中間値またはそのk倍の電流は、時間の経過と共に、多値記憶セルの読み出し時の2データまたはそのk倍の間（ウインドウ）を通過するように変化する。したがって、書き換え特性の劣化あるいは記憶保持特性の劣化などによらず、多値記憶セルに記憶してあるデータの判定を正確に行うことができる。また、多値記憶セルを構成するトランジスタに製造ばらつきがあったとしても、レフアレンスセルを構成するトランジスタにも同様な製造ばらつきがあると考えられ、また、比較判定回路の基準となる基準データは、上述した理由により、ウインドウ間に位置するので、結果としては、データの読み出しの正確性が損なわれることはない。したがって、不揮発性半導体メモリ装置の収率も向上する。

【0019】

【実施例】以下、本発明に係る不揮発性半導体メモリ装置を、図面に示す実施例に基づき、詳細に説明する。図1は本発明の一実施例に係る不揮発性半導体メモリ装置の概略構成図である。

【0020】図1に示すように、本実施例の不揮発性半導体メモリ装置は、NOR型のメモリであり、多値メモリセル2が、マトリックス状に配置してある。各多値メモリセル2は、本実施例では、フローティングゲートを有するトランジスタで構成される。フローティングゲートを有するトランジスタでは、図2(A)に示すように、半導体基板3の表面領域あるいはウェルに形成されたソース・ドレイン領域4、4間にチャネル形成領域5上に、ゲート絶縁膜8を介して、フローティングゲート10、中間絶縁膜12およびコントロールゲート14が被覆してある。このトランジスタでは、コントロールゲート14（ワード線）とソース・ドレイン領域4、4（ビット線およびソース）とに印加される電圧を制御することにより、FN(Fowler Nordheim)効果などを利用して、フローティングゲート10に電子を注入または引き抜きすることにより、トランジスタのしきい値電圧を変化させ、3値以上のデータ、たとえばV(0,0)、V(0,1)、V(1,0)、V(1,1)の4値のデータの書き込み消去を行うことができる。V(0,0)、V(0,1)、V(1,0)、V(1,1)の4値を記憶可能なメモリセルの場合、レベル0～レベル3のしきい値電圧分布は、図2に示すように、レベル3(1,1)が1.5V～3V、レベル2(1,0)が3.7V～4V、レベル1(0,1)が4.6V～4.9V、レベル0(0,0)が5.6～5.9Vである。そして、多値メモリセルに書き込んだ直後のしきい値電圧の分布は、図2に示すように急峻である。

【0021】4値の書き込みは、たとえば、まず消去によってしきい値電圧をレベル0以上に動かし、次に書き込みバイアス電圧を印加しながらフローティングゲートに電子を注入し、書き込み動作を中止しては書き込まれた状態を読み出すことを繰り返すペリファイによって上述した所望のしきい値電圧になった時点で終了する。

【0022】半導体基板3として、たとえばP型の単結晶シリコンウェーハが用いられたときは、その表面領域に、N型の単結晶シリコンウェーハが用いられたときは、その表面に形成されたP型ウェルに多値メモリセル用トランジスタ2が形成される。ソース・ドレイン領域4、4は、たとえばN型の不純物領域であり、フローティングゲート10およびコントロールゲート14の作製後に、イオン注入を行うことにより形成される。ソース・ドレイン領域4、4は、LDD構造を有していてもよい。ゲート絶縁膜8は、たとえば膜厚8nm程度の酸化シリコン膜で構成される。フローティングゲート10は、たとえばポリシリコン層で構成される。なお、図示省略してあるが、フローティングゲート10の側面は、

絶縁性サイドウォールで覆われている。中間絶縁膜12は、たとえば酸化シリコン膜、あるいは O_2NO_2 膜（酸化シリコン膜と窒化シリコン膜と酸化シリコン膜との積層膜）などで構成され、その膜厚は、たとえば酸化シリコン膜換算で 1.4 nm である。コントロールゲート14は、たとえばポリシリコン膜、あるいはポリサイド膜（ポリシリコン膜とシリサイド膜との積層膜）などで構成される。

【0023】図1に示すように、本実施例では、各行の多値メモリセル2毎に、4個のレファレンスセル15a, 15b, 15c, 15dが配置され、同一のワード線18で同時に駆動可能になっている。多値メモリセル2とレファレンスセル15a, 15b, 15c, 15dとは、厚さ方向の構造が略同一であるトランジスタにより構成される。厚さ方向の構造が同一であるとは、多値メモリセル2を構成するトランジスタが、図2(A)に示す構造のフローティングゲート10を有するタイプのトランジスタである場合には、レファレンスセル15a, 15b, 15c, 15dを構成するトランジスタも、同様な構造および膜厚を有するという意味であり、トランジスタのチャネル長あるいはチャネル幅などが相違しても良い。

【0024】各行のレファレンスセル15a, 15b, 15c, 15dは、記憶値があらかじめ決められており、たとえば、多値メモリセル2にデータV(0, 0)～V(1, 1)のいずれかが書き込まれる毎に、レファレンスセル15aにはV(0, 0)、レファレンスセル15bにはV(0, 1)、レファレンスセル15cにはV(1, 0)、レファレンスセル15dにはV(1, 1)がそれぞれ書き込まれる。特定のレファレンスセルに同一のデータが何回も書き込まれた場合、蓄積効果が生じる場合があり、それを防ぐために、1つのレファレンスセルに特定のデータを繰り返し書き込むことをせず、別のデータを交互に書き込むことも可能である。この場合は、たとえばワード線18にカウンタを接続して、現在レファレンスセル15a～15dがどのデータを受け持っているかわかるようにしておく。

【0025】ワード線18は、行デコーダ20に接続している。多値メモリセル2のトランジスタのドレイン領域は、ビット線22を通して、列デコーダ24に接続している。そして、レファレンスセル15a, 15b, 15c, 15dのトランジスタのドレイン領域は、ビット線22を通して、読み出し電圧/書き込み電圧切換回路50に接続してある。

【0026】行デコーダ20、列デコーダ24および読み出し電圧/書き込み電圧切換回路50には、書き込み電圧駆動回路26および読み出し電圧駆動回路28が接続してある。これら駆動回路26, 28で設定された電圧は、行デコーダ20により選択されたワード線18と、列デコーダ24、読み出し電圧/書き込み電圧切換回路50

により選択されたビット線22を通して、特定の多値メモリセル2およびレファレンスセル15a, 15b, 15c, 15dに印加され、データの消去および書き込みがなされる。

【0027】レファレンスセル15a, 15b, 15c, 15dが接続されたビット線22には、読み出し電圧/書き込み電圧切換回路50を介して（あるいは直接的に）、ビット線22から検出される2つの電流値を選択して単純加算または加重加算（和算）して、その中間値またはそのk倍の値を発生する中間値発生回路30が接続される。中間値発生回路30は、たとえば後述して図5に示すように、各レファレンスセル15a, 15b, 15c, 15dが接続されたビット線22にそれぞれ設けられ、ゲート電圧の制御によりオン/オフされるMOSトランジスタと、これらMOSトランジスタの出力配線を接続する、いわゆるワイヤードオア配線と、このワイヤードオア配線の電流出力を $1/2$ するようにサイズ（W/L）が調整された複数のMOSトランジスタにより構成される。このとき、ワイヤード配線により単純加算が行われる。

【0028】中間値発生回路30の出力は、比較判定回路32の一方の第1入力端子32aに接続される。比較判定回路32の他方の第2入力端子32bには、列デコーダ24により選択されたビット線22を通して、読み出し時に選択された多値メモリセル2に記憶してあるデータ（本実施例では、電流）が入力する。なお、中間値発生回路30の一部と比較判定回路32とは、後述のように一体化することができる。

【0029】多値メモリセル2およびレファレンスセル15a, 15b, 15c, 15dに記憶してあるデータを消去するには、ワード線18、ビット線22、ソース、基板に所定電圧、たとえばワード線18に1.8～2.0V、ビット線22に0V、ソース、基板に0Vを印加してフローティングゲートへ電子を注入すればよい。

【0030】図1に示す行デコーダ20および列デコーダ24により選択される特定の多値メモリセル2に、データV(0, 0)、V(0, 1)、V(1, 0)、V(1, 1)を書き込むには、消去によってしきい値電圧を揃えた後、書き込み電圧駆動回路26から、特定の多値メモリセル2のワード線18へたとえば-1.0V、ビット線22へたとえば+5Vの書き込みバイアス電圧を印加しながらフローティングゲートから電子を引き出し、ペリファイ動作によって上述した所望のしきい値電圧V(0, 0)、V(0, 1)、V(1, 0)、V(1, 1)になった時点で終了する。

【0031】図1に示す行デコーダ20および列デコーダ24により選択される特定の多値メモリセル2からのデータの読み出し時には、読み出し電圧駆動回路28から、特定の多値メモリセル2のワード線18およびビット線22へ、所定電圧、たとえばワード線18に

V_{r00}、V_{r10}、V_{r11}などの電圧(3V~5.5V)、ビット線に~1Vを印加する。

【0032】本実施例では、特定の多値メモリセル2からのデータの読み出しと同時に、その特定の多値メモリセル2と同じワード線18で接続してある4個のレファレンスセル16a、16b、16c、16dからも同時にデータを読み出す。選択された多値メモリセル2から読み出されたデータ電流は、ビット線22、列デコーダ24を通して、比較判定回路32の第2入力端子32bへ入力する。一方のレファレンスセル16a、16b、16c、16dから読み出されたレファレンスデータ電流i_{r00}、i_{r10}、i_{r11}は、読出電圧/書き込み電圧切換回路50を通して中間値発生回路30に入力する。中間値発生回路30において、入力した4つの電流のうちの2つが選択的に加算され、さらに2つの電流を有する中間値またはそのk倍の値の電流i_{re}が生成され、この中間値電流i_{re}が比較判定回路32の第1入力端子32aへ入力する。

【0033】中間値電流i_{re}の長期時間経過に対する変化は、図3の曲線i_{re00}で表わすことができる。すなわち、データV(0,0)が記憶してある多値メモリセル2から読み出されるデータ電流i_{data}(0,0)の変化に合わせて、中間値電流i_{re00}も変化し、ウインドウの中間に位置しようとする。その結果、図1に示す比較判定回路32では、第1入力端子32aへ入力される中間値電流i_{re00}に基づき、第2入力端子32bへ入力される選択された多値メモリセルの読み出し電流i_{data}(0,0)、i_{data}(0,1)のV(0,0)、V(0,1)の判定を正確に行うことができる。第2入力端子32bへ入力される選択された多値メモリセルの読み出し電流i_{data}(0,0)、i_{data}(0,1)またはそれらのk倍の値と、中間値電流i_{re}(i_{re}(0,0)、i_{re}(1,0)、i_{re}(1,1))またはそれらのk倍の値との大小比較により、多値メモリセル2には、データV(0,0)、V(0,1)、V(1,0)、V(1,1)のうちのいずれが記憶してあると判定できる。

【0034】この比較判定回路32による判定は、図3に示すように、時間の経過と共に、メモリセルの記憶特性あるいは書き換え特性が劣化したとしても、従来に比較して、一桁以上の長期間にわたり、正確性を保ち続けることができる。また、多値メモリセル2に製造ばらつきがあったとしても、レファレンスセル16a、16b、16c、16dにも同様な製造ばらつきがあると考えられ、また、比較判定回路32の基準となる基準データ(中間値またはそのk倍の電流)は、上述した理由により、ウインドウ間に位置するので、結果としては、データの読み出しの正確性が損なわれることはない。

【0035】なお、本発明は、上述した実施例に限定されるものではなく、本発明の範囲内で種々に改変するこ

とができる。たとえば、前記実施例では、フローティングゲートに電子を徐々に放出して所望のデータを書き込む場合について説明したが、本発明はこれに限定されず、フローティングゲートから電子を徐々に注入する場合でもよい。

【0036】また、図1に示す実施例では、書き込み電圧駆動回路26および読み出し電圧駆動回路28は、多値メモリセル2とレファレンスセル16a、16b、16c、16dとで共用したが、それについて別途配置することも可能である。

【0037】また、多値メモリセル2とレファレンスセル16a、16b、16c、16dとは、必ずしも同一のワード線18で、同時に駆動する必要はなく、別々のワード線と、別々の駆動回路を用いて、ほぼ同時に駆動するように構成することもできる。また、これら駆動回路の配置位置は、図1に示す実施例に限定されず、レファレンスセル16a、16b、16c、16dと多値メモリセル2との間、あるいはその他の位置に配置することも可能である。

【0038】また、多値メモリセル2およびレファレンスセル16a、16b、16c、16dの回路構成は、図1に示す例に限定されず、図4(A)に示すように、ソース線40が各列毎に分割されたタイプ、あるいは図4(B)に示すように、セルトランジスタ2、16a、16b、16c、16dのドレインまたはソースが、選択トランジスタ42を介してソース線40に接続してあるタイプであっても良い。なお、多値メモリセル2と、レファレンスセル16a、16b、16c、16dとの回路構成は、同一であることが好ましい。

【0039】また、各セルトランジスタ2、16a、16b、16c、16dは、電荷を蓄積・消去可能なトランジスタで構成されれば、特に限定されず、図2(B)に示すように、MOS型のセルトランジスタであっても良い。図2(B)に示す例では、半導体基板3の表面に、ONO膜44が積層してあり、その上に、ゲート電極46が積層してある。ソース・ドライン領域4は、前記実施例と同様である。ONO膜44は、SiO₂/SiN/SiO₂の三層構造の膜であり、たとえば以下の方法により成膜される。

【0040】まず、半導体基板3の表面を熱酸化し、2nm程度の酸化膜を成膜し、その熱酸化膜上に、約9nm以下程度の窒化シリコン膜をCVD法などで成膜し、その表面を熱酸化して、約4nm以下程度の酸化膜を形成する。このような工程により、三層構造のONO膜を形成することができる。このONO膜は、低リーク電流で膜厚制御性に優れている。また、ONO膜中の窒化シリコン膜内および窒化シリコン膜とシリコン酸化膜との界面に、電子をトラップすることが可能であり、メモリセルとして機能する。また、同様にメモリ機能を有する膜として、ON膜(SiO₂/SiN)、N膜(SiN

单独) も知られている。ゲート電極 4 6 は、たとえばボリシリコン膜、あるいはポリサイド膜などで構成され、ワード線 1 8 として機能する。

【0041】図2 (C) に示す例では、半導体基板の表面に、膜厚約 10 nm 程度のゲート絶縁膜 8 を介して、フローティングゲート 1 0、膜厚 300 nm 程度の強誘電体薄膜 4 8 およびコントロールゲート 1 4 が積層してある。図2 (A) に示す例と同一部材には、同一符号を付し、その説明は省略する。この例では、強誘電体薄膜 4 8 を利用して、多値メモリセルを構成している。なお、前述したように、多値メモリセルとレフアレンスセルとは、厚さ方向に略同一構造であることが望ましい。

【0042】次に、中間値発生回路 3 0 と比較判定回路 3 2 を含むセンスアンプ回りの具体的な回路構成について図5を参照しつつ説明する。図5に示す実施例では、トランジスタ Q2, Q3, QRA, QDA が、正帰還のある差動アンプ回路を構成し、トランジスタ Q1 がその差動アンプ回路の駆動用スイッチである。また、トランジスタ Q1 が、選択的に加算された電流を電圧に変換し、トランジスタ QRA のゲートへ入力する回路である。また、トランジスタ QD1 は、多値メモリセル 2 からの信号電流 i data を電圧に変換し、トランジスタ QDA のゲートへ入力にするための回路である。なお、信号電流 i data は、上述したように、多値メモリセル 2 に記憶してあるデータが V (0, 0) の場合には i data(0, 0)、V (0, 1) の場合には i data(0, 1)、V (1, 0) の場合には i data(1, 0)、V (1, 1) の場合には i data(1, 1) である。図5中、トランジスタ Q1, Q2, Q3 は、Nチャネル型トランジスタ (または Pチャネル型トランジスタ) であり、トランジスタ QRA, QDA, QRI, QD1 は、前記トランジスタとは逆極性の Pチャネル型トランジスタ (または Nチャネル型トランジスタ) である。

【0043】さらに、図5に示す回路では、トランジスタ Q4, Q80, Q00 を、図5に示す接続関係で付加することにより、電圧変換を安定化せると共に、差動アンプ回路の初期状態を設定して安定動作させている。これらトランジスタ Q4, Q80, Q00 は、Pチャネル型トランジスタ (または Nチャネル型トランジスタ) である。トランジスタ QRA, Q00 のゲート (*) には、センス時にはハイレベルに切り換えられるストローブ信号 STB 1 が入力される。また、トランジスタ Q4 のゲート (*) には、センス時にはハイレベルに切り換えられるストローブ信号 STB 2 が入力される。ただし、ストローブ信号 STB 2 は、ストローブ信号 STB 1 がハイレベルに切り換えられた後に、ハイレベルに設定される。

【0044】また、差動アンプ回路の初期状態を設定して安定動作させる素子として、1つのPチャネル型トランジスタ (または Nチャネル型トランジスタ) Q4 の代わりに、図6に示すように、2つのPチャネル型トランジスタ (または Nチャネル型トランジスタ) Q5, Q6

を設け、両トランジスタ Q5, Q6 のゲートは、上述した図5の回路の場合と同様にストローブ信号 STB 2 の供給ラインに接続し、両トランジスタ Q5, Q6 の接続点を初期設定電位 2 に接続した構成とすることも可能である。

【0045】また、中間値発生回路 3 0 は、図5に示すように、各レフアレンスセル 1 6 a, 1 6 b, 1 6 c, 1 6 d が接続されたビット線 2 2 にそれぞれ設けられ、ゲート電圧の制御によりオン/オフされる Nチャネル型トランジスタ QRS0, QRS1, QRS2, QRS3 と、これらトランジスタの出力配線を接続するワイヤードオア配線と、このワイヤードオア配線の加算電流出力を 1/2 するようにサイズ (W/L) 比が調整された 1 対のトランジスタ QRI, QRA により構成される。すなわち、トランジスタ QRI, QRA は中間値発生回路 3 0 と比較判定回路 3 2 とで共用されており、この意味で両回路は一体的に構成されている。

【0046】図7に、読み出し時におけるワード線 1 8 への印加電圧、中間値発生回路 3 0 のトランジスタ QRS0, QRS1, QRS2, QRS3 のゲート G00, G01, G10, G11 への制御信号、並びに比較判定回路 3 2 へのストローブ信号 STB 1, STB 2、およびトランジスタ Q1 のゲート G1 への活性化信号 ACT のタイミングチャートを示す。

【0047】この実施例では、読み出しモードに設定されると、アドレス指定されたワード線 1 8 およびビット線 2 2 が所定電圧に保持されて、選択された多値メモリセル 2 によりその記憶データに応じたデータ電流 i data、具体的には多値メモリセル 2 に記憶してあるデータが V (0, 0) の場合には i data(0, 0)、V (0, 1) の場合には i data(0, 1)、V (1, 0) の場合には i data(1, 0)、V (1, 1) の場合には i data(1, 1) が流れ、比較判定回路 3 2 のトランジスタ QD1 に流れ込む。また、選択された多値メモリセル 2 と同一のワード線 1 8 に接続されたレフアレンスセル 1 6 a, 1 6 b, 1 6 c, 1 6 d からビット線 2 2 にレフアレンスデータ電流 i r00, i r01, i r10, i r11 が流れ、これら電流は、読み出電圧/書き込み電圧切換回路 5 0 を通して中間値発生回路 3 0 に入力される。

【0048】中間値発生回路 3 0 においては、入力した4つの電流のうちの2つが選択的に加算され、この加算電流が比較判定回路 3 2 のトランジスタ QRI に流れ込み、選択的に加算された電流が電圧に変換され、トランジスタ QRA のゲートへ入力される。

【0049】中間値電流 i re を、加算電流の 1/2 と設定する場合には、トランジスタ QRA, QDA, QRI, QD1 のチャネル寸法関係を、下記の表1 (A) ケース II に示すような関係に設定する。

【0050】中間値電流の2倍とデータ電流の2倍とを比較する場合は表1 (A) ケース I, 表1 (B) に示す

ようにトランジスタQ2, Q3, QRA, QDA, QRI, QD1のチャネル寸法関係を設定する。この場合は、 $k = 2$ に相当する。

【0051】

【表1】

(A) Q2 と Q3 とが同一寸法比(W/L比)の場合

	ケースI	ケースII
QRAのチャネル幅W/チャネル長L(比)	QRIと同じ	QRIの1/2
QDAのW/L(比)	QD1の2倍	QD1と同じ

(B)

QRIとQRA, QD1とQDA とが同一寸法比(W/L比)の場合

	ケースI
Q2のW/L比	Q3の2倍

【0052】なお、トランジスタQ2とトランジスタQ3とは、同一寸法であったが、表1の(B)に示すように、トランジスタQRIとQRA、トランジスタQD1とQDAが同一寸法比(W/L比)の場合でも、トランジスタQ2のW/L比をトランジスタQ3のそれの二倍とすることで、実質的な1/2回路を構成することもできる。このときも、1/2回路は、差動アンプと一緒に化してしまっている。なお、一体化とは、それぞれが共通したトランジスタを有していることと本発明では定義する。

【0053】比較判定回路3-2では、読み出しモード時に、トランジスタQ1のゲートG1へV_{ss}(ローレベル)からV_{dd}(ハイレベル)へと変化するラジブ電圧入力A_{ACT}を印加して活性化され、選択された多値メモリセル2の読み出し電流i_{data(0,0)}、i_{data(0,1)}、i_{data(1,0)}、i_{data(1,1)}と、中間電流i_{re}との大小比較により、多値メモリセル2には、データV(0,0)、V(0,1)、V(1,0)、V(1,1)のうちのいずれかが記憶してあると判定される。

【0054】なお、具体的な中間値発生回路3-0における加算すべきレンジセル16a、16b、16c、16dによる読み出し電流の選択、並びに比較判定回路3-2における比較判定動作は、たとえば図7に示すように行う。すなわち、まずワード線18に電圧V_{r11}を与え、トランジスタQRS3のゲートG11およびQRS2のゲートG10にハイレベルの信号を供給し、レンジセル16dと16cによるレンジデータセル電流i_{r11}とi_{r10}とを合流させて加算する。このときトランジスタQRS1のゲートG01およびQRS0のゲートG00への供給信号はローレベルに保持する。この合流電流が比較判定回路3-2に入力されて1/2され、多値メモリセル2に記憶してあるデータがV(1,1)であると判定される。

か、あるいはV(1,0)、V(0,1)、V(0,0)であるか判定される。

【0055】次に、中間値発生回路3-0のトランジスタQRS3のゲートG11への信号をローレベルに切り換える。ワード線18に電圧V_{r10}を与え、トランジスタQRS2のゲートG10への信号はハイレベルに保持したまま、トランジスタQRS1のゲートG01への信号をハイレベルに切り換えて、レンジセル16cと16bによるレンジデータセル電流i_{r10}とi_{r01}とを合流させて加算する。この合流電流が比較判定回路3-2に入力されて1/2され、多値メモリセル2に記憶してあるデータがV(1,0)であるか、あるいはV(0,1)、V(0,0)であるか判定される。

【0056】次に、中間値発生回路3-0のトランジスタQRS2のゲートG10への信号をローレベルに切り換える。ワード線18に電圧V_{r00}を与え、トランジスタQRS1のゲートG01への信号はハイレベルに保持したまま、トランジスタQRS0のゲートG00への信号をハイレベルに切り換えて、レンジセル16bと16aによるレンジデータセル電流i_{r01}とi_{r00}とを合流させて加算する。この合流電流が比較判定回路3-2に入力されて1/2され、多値メモリセル2に記憶してあるデータがV(0,1)であるかV(0,0)であるか判定される。

【0057】このように本実施例においては、中間値発生回路3-0および比較判定回路3-2において3度の選択的な加算および差動アンプにおける比較判定を行うことにより、多値メモリセル2の記憶データを判定できる。なお、中間値発生回路3-0のトランジスタQRS0～QRS3に対する切り換え制御は、図7に示す例に限定されない。図7の場合とは逆に、トランジスタQRS0とQ

RS1 側から順次逐次状態となるように制御してもよい。
【0058】また、たとえば、まずトランジスタ QRS1 と QRS2 を導通状態にして、多値メモリセル 2 に記憶してあるデータが V (1, 1) または V (1, 0) であるか、あるいは V (0, 1) または V (0, 0) であるかを比較判定回路 32 で判定した後、その判定結果に基づいて、トランジスタ QRS3 と QRS2 またはトランジスタ QRS1 と QRS0 が導通状態となるように制御することにより、多値メモリセル 2 に記憶してあるデータが V (1, 1) または V (1, 0) であるか、あるいは V (0, 1) または V (0, 0) であるかを判定できる。この場合、中間値発生回路 30 および比較判定回路 32 において 2 度の選択的な加算および差動アンプにおける比較判定を行うことにより、多値メモリセル 2 の記憶データを判定できる。

【0059】さらに、図 8 に示すように、任意の 2 つのレファレンスセルの電流の中間値またはその k 倍の値とデータまたはその k 倍の値とを比較する 3 つの比較判定回路 32a, 32b, 32c を設ければ、同時に多値メモリセル 2 の記憶データの判定ができる。このとき、ワード線 18 には電圧 VR00 を印加する。この回路においては、比較判定回路 32a の出力 OUT1 はデータが (1, 1)、(1, 0)、(0, 1) のときハイレベル (VDD レベル) となり、比較判定回路 32b の出力 OUT2 はデータが (1, 1)、(1, 0) のときハイレベルとなり、比較判定回路 32c の出力 OUT3 はデータが (1, 1) のときハイレベルとなる。これら出力 OUT1 ~ OUT3 は、たとえば図 9 に示すような論理回路に入力され、ここで論理演算がなされ、メモリセル 2 に蓄えられている多値情報が出力される。

【0060】図 9 に示す論理回路は、3 入力 2 出力の論理回路であって、入力端 TIN1 には図 8 の比較判定回路 32b の出力信号 OUT2 が入力され、入力端 TIN2 には図 8 の比較判定回路 32c の出力信号 OUT3 が入力され、入力端 TIN3 には図 8 の比較判定回路 32a の出力信号 OUT1 が入力される。入力端 TIN1 に入力された信号 OUT2 は、2 つのうちの一方の出力端 OUT1 から直接信号 A として出力されるとともに、2 入力オア (OR) 回路 38 の一方の入力端に入力される。入力端 TIN2 に入力された信号 OUT3 は、否定 (反転: NOT) 回路 34 にて反転作用を受けて、2 入力アンド (AND) 回路 36 の一方の入力端に入力される。また、入力端 TIN3 に入力された信号 OUT1 は、アンド回路 36 の他方の入力端に入力される。アンド回路 36 の論理積の結果がオア回路 38 の他方の入力端に入力され、その論理和結果が出力端 OUT2 から信号 B として出力される。この論理回路においては、出力信号 A がハイレベル「H」の場合にはメモリセル 2 の MSB が論理「1」、ローレベル「L」の場合にはメモリセル 2 の MSB が論理「0」を示し、出力信号 B がハイレベル

「L」の場合にはメモリセル 2 の LSB が論理「1」、ローレベル「L」の場合にはメモリセル 2 の LSB が論理「0」を示す。

【0061】ところで、上述した図 5 に示す回路では、ワイヤードオア配線により単純加算がなされるが、一般的に加重加算を行うためには、図 10 に示すような回路に構成される。この場合、読み電圧 / 書き込み電圧切換回路 50 の 4 つの出力の各々に対してゲート電圧の制御によりオン / オフされる 2 つの第 1 および第 2 の MOS トランジスタが並列に接続され、4 つの第 1 の MOS トランジスタ QRS1, QRS2, QRS3 の出力配線を接続するワイヤードオア配線と、このワイヤードオア配線の電流出力を n / k 倍するようにサイズ (W / L) が調整された複数の MOS トランジスタ Q' R1, Q' R2, Q' R3 により構成される。ここで、n + m = k とする。このような構成において、トランジスタ QRS1, QRS2, QRS3 の寸法比を所望の値に設定し、QRS0 ~ QRS3 および QRS0' ~ Q' R3 のうち各々 1 つのトランジスタをオンすることにより、2 つのレファレンスセルの電流の、いわゆる重み付け加算を実現できる。

【0062】なお、上述した実施例では、図 10 に示す実施例を除いては、中間値を 2 つの電流値の和の 1 / 2 として説明したが、これに限定されるものではなく、2 つの電流値の値であればよい。また、上述した実施例では、すべて NOR 型のメモリについて説明したが、本発明は、これに限定されず、NAND 型、AND 型、D 1 NOR 型などに対しても適用することが可能である。

また、上述した実施例では、多値は 4 値として説明したが、3 値、5 値、…8 値などでも、本発明に適用できることはいうまでもない。

【0063】

【発明の効果】以上説明してきたように、本発明によれば、特にウインドウの小さい不揮発性多値メモリ装置において、書き換え特性の劣化あるいは記憶保持特性の劣化などによらず、多値メモリセルに記憶してあるデータの判定を正確に行うことができる。また、多値メモリセルに製造ばらつきがあったとしても、レファレンスセルにも同様な製造ばらつきがあると考えられ、また、比較判定回路の基準となる基準データ (中間値電流) は、ウインドウ間に位置するので、結果としては、データの読み出しの正確性が損なわれることはない。したがって、不揮発性半導体メモリ装置の収率も実質的に向上する。

【図面の簡単な説明】

【図 1】図 1 は本発明の一実施例に係る不揮発性半導体メモリ装置の概略構成である。

【図2】図2（A）は本発明の一実施例に係るメモリセルの要部断面図、同図（B）は本発明の他の実施例に係るメモリセルの要部断面図、同図（C）はさらにその他の実施例に係るメモリセルの要部断面図である。

【図3】図3は本発明に係る不揮発性半導体メモリ装置の中間値電流の経時変化を示すグラフである。

【図4】図4（A）は本発明の他の実施例に係るメモリセルの回路構成図、同図（B）はさらにその他の実施例に係るメモリセルの回路構成図である。

【図5】図5は本発明の具体的な実施例に係る不揮発性半導体メモリ装置のセンスアンプ回りの回路図である。

【図6】図6は本発明の具体的な実施例に係る不揮発性半導体メモリ装置のセンスアンプ回りの他の構成例を示す回路図である。

【図7】図7は図5の回路の各部に供給される信号のタイミングチャートである。

【図8】図8は本発明の具体的な実施例に係る不揮発性半導体メモリ装置の任意の2つのレファレンスセルの電流の中間値とデータとを比較する3つの比較判定回路を設けた構成例を示す回路図である。

【図9】図9は本発明に係る多値情報を演算する論理回路の構成例を図である。

【図10】図10は本発明の具体的な実施例に係る不揮発性半導体メモリ装置の重み付け加算（加重加算）回路を有するセンスアンプ回りの構成例を示す回路図である。

【図11】図11（A）は従来例に係るメモリセルの経

時変化を示すグラフ、同図（B）は従来例に係るメモリセルの経時変化および基準電流の経時変化を示すグラフである。

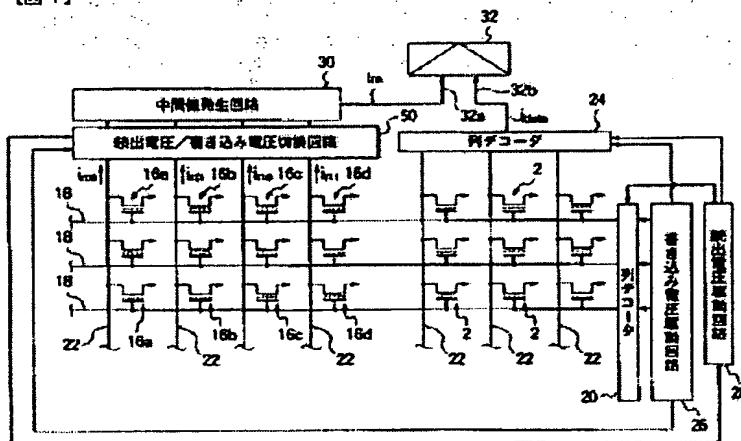
【図12】図12は4値メモリセルのしきい値電圧分布を示すグラフである。

【図13】図13は4値メモリセルの経時変化を示すグラフである。

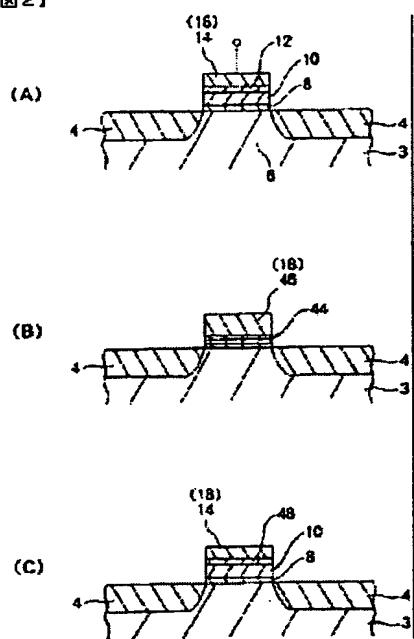
【符号の説明】

- 2… メモリセル
- 3… 半導体基板
- 4… ソース・ドレイン領域
- 6… チャネル
- 8… ゲート絶縁膜
- 10… フローティングゲート
- 12… 中間絶縁膜
- 14… コントロールゲート
- 16a, 16b, 16c, 16d… レファレンスセル
- 18… ワード線
- 20… 行デコーダ
- 22… ビット線
- 24… 列デコーダ
- 26… 書き込み電圧駆動回路
- 28… 読み出し電圧駆動回路
- 30… 中間値発生回路
- 32, 32a, 32b, 32c… 比較判定回路
- 50… 読み出し電圧/書き込み電圧切換回路

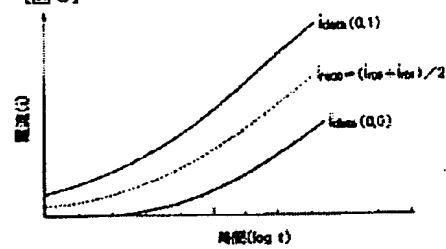
【図1】



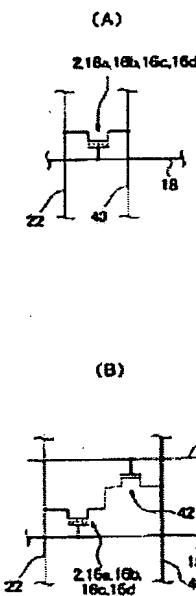
[図2]



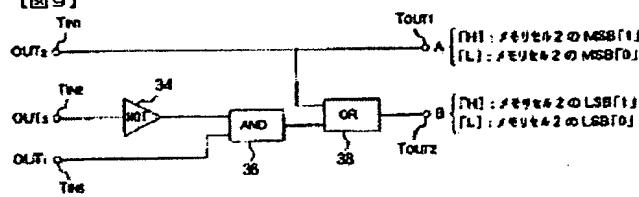
[図3]



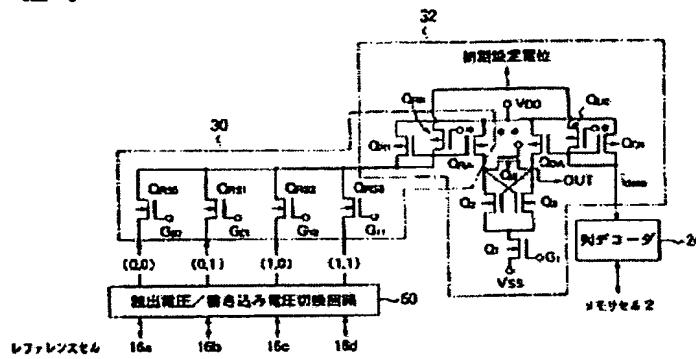
[図4]



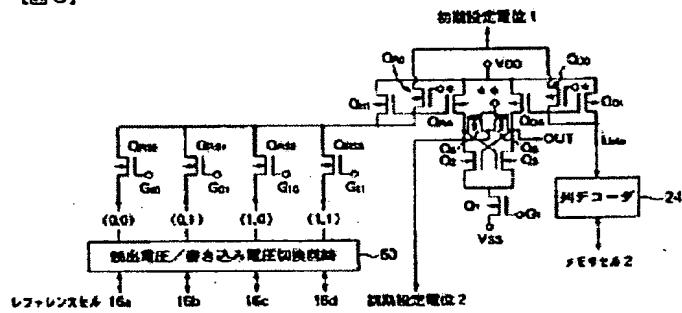
[図9]



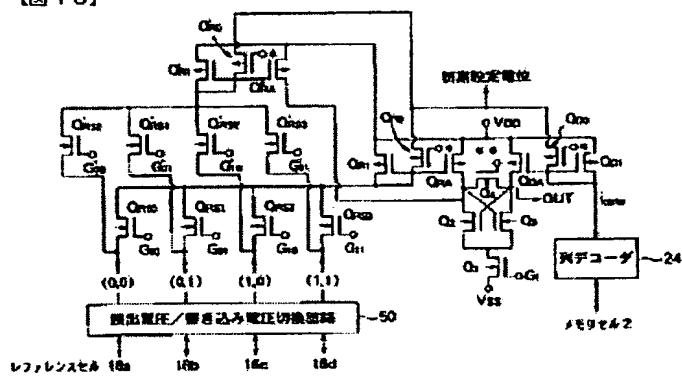
[図 5]

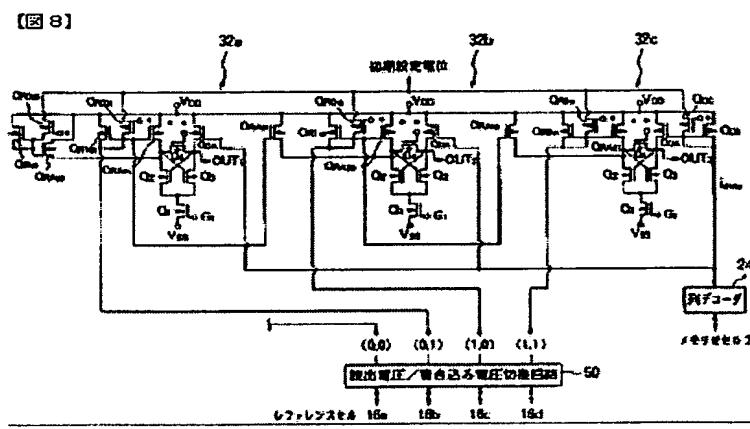
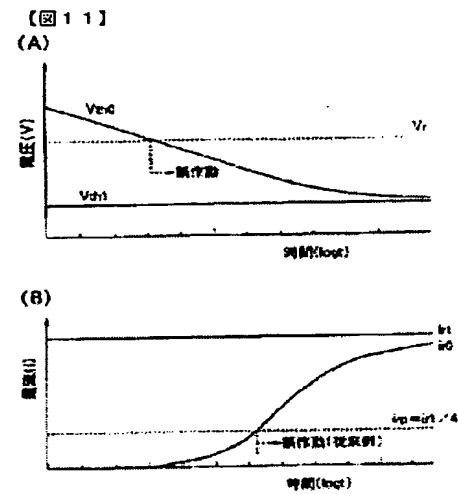
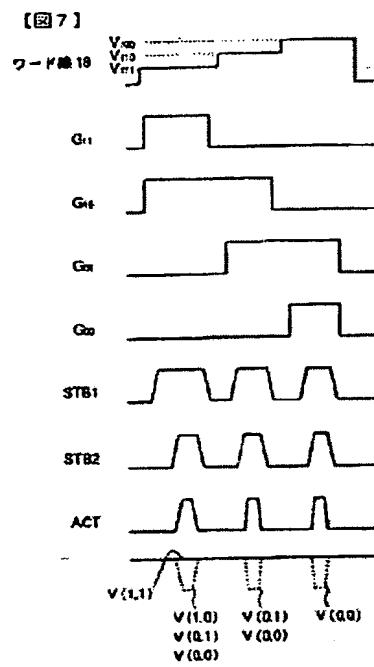


[図 6]

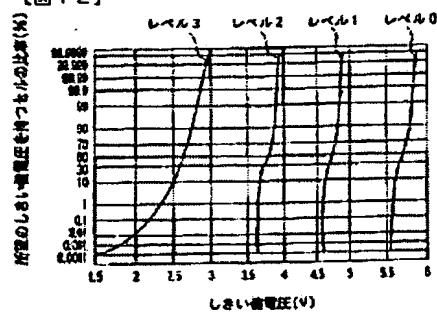


[図 10]

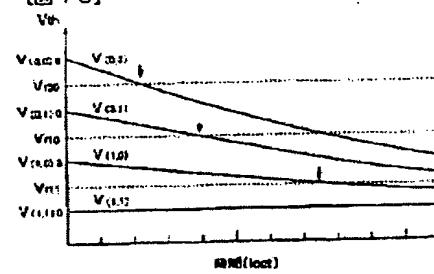




[図12]



[図13]



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.